

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03196186 A**(43) Date of publication of application: **27.08.91**

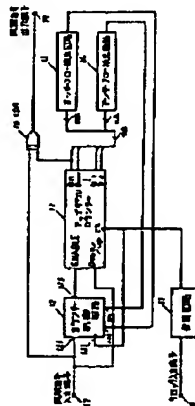
(51) Int. Cl.  
**G09G 5/12**  
**G09G 3/36**  
**G09G 5/18**  
**H04N 5/04**

(21) Application number: **01337123**(22) Date of filing: **28.12.89**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **YAGISHITA CHO**(54) **SYNCHRONIZING SIGNAL INVERSION CIRCUIT** COPYRIGHT: (C)1991,JPO&Japio

## (57) Abstract:

**PURPOSE:** To eliminate a control terminal which instructs the signal polarity of a synchronizing signal from the outside and to automatically discriminate the signal polarity of the synchronizing signal by providing an EOR which inverts the synchronizing signal with the MSB of an up/down counter.

**CONSTITUTION:** The circuit is equipped with the up/down counter 11 by which up-count and down/count are switched with the signal polarity of an inputted synchronizing signal. Furthermore, it is equipped with circuits 12-14 which control the Enable terminal of the up/down counter 11 with the overflow detection signal and the underflow detection signal of the up/down counter 11, and it inverts the synchronizing signal with the MSB output signal of the up/down counter 11 by using the EOR 16. In such a way, it is possible to eliminate the control terminal which instructs the signal polarity of the synchronizing signal from the outside, and to discriminate the signal polarity of the synchronizing signal in the inside.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-196186

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月27日

G 09 G 5/12  
3/36  
5/18  
H 04 N 5/04

8121-5C  
8621-5C  
8121-5C  
9070-5C  
Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 同期信号反転回路

⑯ 特 願 平1-337123

⑰ 出 願 平1(1989)12月26日

⑱ 発 明 者 八 木 下 超 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1、発明の名称

同期信号反転回路

2、特許請求の範囲

入力される同期信号の信号極性によりアップカウントもしくはダウンカウントを実行するアップダウンカウンタと、前記アップダウンカウンタの値のオーバーフロー、アンダーフローを検出するオーバーフロー検出回路及びアンダーフロー検出回路と、前記オーバーフロー検出回路とアンダーフロー検出回路の出力によりアップダウンカウンタの動作を制御するカウンタ制御回路と、前記アップダウンカウンタのMSB出力信号により、入力される同期信号を反転させるEOR(排他的論理和)を備えたことを特徴とする同期信号反転回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、パソコンなどのCRT及び液晶パネルのコントローラ(制御回路部)における、水平

及び垂直同期信号の信号極性の反転回路に関するものである。

従来の技術

近年急速なパソコンの普及とともにディスプレイ装置に液晶パネル等を用いることも増えてきている。

ディスプレイにCRT、液晶パネルのどちらを用いる場合においても、そのコントロールの基準となるのは、垂直同期信号(以下VSYNCと略す)及び水平同期信号(以下HSYNCと略す)の2つの同期信号である。

通常テレビ信号におけるこれらのVSYNC、HSYNCは負論理で統一されているが、パソコン等においてはその機種によっては、これらを正論理信号として用いる場合もある。よって、CRTまたは液晶ディスプレイを制御する回路においては、これらの同期信号の信号極性を制御回路の同期信号極性仕様に合うように必要に応じて反転させて以降のデジタル処理を行わなければならない。

以下に従来の同期信号反転回路について説明する。

第3図は従来の同期信号反転回路の回路図であり、23は垂直同期信号入力端子、24は水平同期信号入力端子、25は垂直同期信号極性制御端子(CONTV)、26は水平同期信号極性制御端子(CONTH)、21、22はEOR(排他的論理和)、27は垂直同期信号出力端子、28は水平同期信号出力端子である。

以上のように構成された同期信号反転回路について以下その動作を説明する。

極性制御端子CONTH、CONTVは、外部のマイクロコンピュータ等により設定され、制御回路部では入力される同期信号の信号極性判別を行なうことなく、CONTV、CONTHで制御されるままに同期信号の論理を反転していた。すなわち、制御回路部のデジタル処理がVSYNCを負論理として処理していた場合に、外部から垂直同期信号入力端子に正論理のVSYNCを入力する時は、垂直同期信号極性制御端子(CONTV)

をHレベルに設定することで制御回路部で使用するVSYNCを負論理とすることができる。

この同期信号反転回路をCRTもしくは液晶ディスプレイの制御回路部の同期信号入力回路部分に用いることで上記制御回路部に外部から入力される同期信号が負論理もしくは正論理によらず、制御回路において同じ処理を実現していた。

また、HSYNCについても同様にCONTHにて論理設定を行なう。

発明が解決しようとする課題

しかしながら、上記の従来の構成では外部よりCONTV、CONTHの極性制御信号を入力する必要がある、端子が2本必要であり、更にこの端子を制御するため、マイクロコンピュータにその役割をさせる必要があるという問題点を有していた。

本発明は、上記従来の問題点を解決するもので、CONTV、CONTHの極性制御端子を廃止し、制御回路部において外部から入力される同期信号の信号極性を自動的に判別することのでき

る同期信号反転回路を提供することを目的とする。

課題を解決するための手段

この目的を達成するために本発明の同期信号反転回路はアップダウンカウンタと、アップダウンカウンタのオーバーフロー、アンダーフロー検出回路により制御されるカウンタ制御回路と、アップダウンカウンタのMSB信号で同期信号を反転するEORから構成されている。

作用

この構成によって、外部からの制御信号を用いることなく、入力される同期信号の信号極性を自動的に判別し、制御回路部の仕様に合わせた信号論理に信号極性を反転させることができる。

実施例

以下に本発明の一実施例について図面を参照しながら説明する。

第1図は本発明の一実施例における同期信号反転回路のブロック図を示すものである。

第1図において、11はアップダウンカウン

ター、12はカウンタ制御回路、13はオーバーフロー検出回路、14はアンダーフロー検出回路、15はクロック分周回路、16はEOR、17は同期信号入力端子、18はクロック入力端子である。

第2図は、第1図におけるカウンタ制御回路12の回路図を示すものである。

第2図において、121は同期信号入力端子、122はラッチ用クロックの入力端子、123はオーバーフロー検出信号入力端子、124はアンダーフロー検出信号入力端子、125はカウンタ制御回路出力端子、126はインバータ、127はDフリップフロップ、128、130はNORゲート、129はANDゲートである。

以上のように構成された本実施例の同期信号反転回路について以下その動作を説明する。

一般に同期信号は、VSYNC、HSYNC共に信号のLレベルの期間とHレベルの期間には約10倍ほどの違いがある。

例えば、ある基準周波数のクロック信号で同期

信号のLレベル及びHレベルの幅をカウントすると、一般的な負論理の同期信号の場合、Lレベル区間が100クロック幅とすれば、Hレベル区間は1000クロック程度になる。この性質を利用して、同期信号のLレベル区間はアップダウンカウンタをアップカウンタとして動作させ、Hレベル区間はダウンカウンタとして動作させる。すると負論理の同期信号の場合はHレベルの方が長いため、同期信号のHレベル区間においてはアップダウンカウンタの値は0にむかってカウントダウンしていく。アンダーフロー検出回路は、アップダウンカウンタの出力が0になったことを検出するとアンダーフロー検出回路の出力をHレベルにする。すなわち、アンダーフロー検出回路は、アップダウンカウンタの出力信号を入力とする多入力NORゲートで構成されているものとする。

第1図におけるカウンタ制御回路12は第2図に示す回路で実現できる。第2図に示すように同期信号のHレベル期間にアンダーフロー検出信

号124がHレベルになると、第2図のカウンタ制御回路の出力125がLとなり第1図のアップダウンカウンタ11がDisableとなり、カウントダウンが停止する。よって、アップダウンカウンタの値は、同期信号はHレベル期間にダウンカウントし、0になった状態でホールドされる。

次に同期信号のLレベル期間になるとアップダウンカウンタはアップカウントを開始する。ここで、あらかじめ、アップダウンカウンタのビット長と、カウントクロック信号との関係を、同期信号のパルス幅の短い方（負論理ならばLレベル幅）をカウントしても、カウント値が $(2^n - 1) / 2$ 以下（ $n$ はアップダウンカウンタのビット長）になるように設定しておけば、Lレベル区間にカウンタが0からカウントアップしてもカウント値が $(2^n - 1) / 2$ を越えないためカウンタのMSBはLレベルのままである。

このMSB出力信号と同期信号とのEORをとってもMSB出力信号がLレベルのため同期信

号は反転せず、負論理信号として以後の制御回路部に伝達される。

また、同期信号が正論理の場合は、Hレベルのパルス幅が短く、Lレベルのパルス幅が長いいため、Lレベルの期間にアップダウンカウンタはアップカウントを行ないカウンタのすべてのビットが1になるまでアップカウントする。ここで、オーバーフロー検出回路はアップダウンカウンタの出力がすべて1になるとオーバーフロー検出回路の出力をLレベルにするものとする。すなわち、アップダウンカウンタの出力信号を入力とする多入力のNAND回路で構成されているものとする。

オーバーフロー検出回路13の出力がLレベルになると第2図のカウンタ制御回路の123の入力端子がLレベルになり、125の出力端子はLレベルになり、第1図のアップカウンタ11のEnable端子をLにすることでカウントアップが停止し、アップダウンカウンタの出力がすべて1の状態にホールドされる。

次に同期信号がHレベルになった時から、アップダウンカウンタのEnable端子はHレベルになりダウンカウントを開始する。しかしながら、Hレベル期間のカウント値は $(2^n - 1) / 2$ 以下になるようにビット長とクロック信号の関係が決まっているため、アップダウンカウンタのMSBはHレベルをホールドし、Lレベルになることはない。アップダウンカウンタのMSBがHのため、EORにより同期信号は反転し正論理で入力された同期信号は負論理となって、以後の制御回路部へ伝達される。

以上のように、本実施例によれば、入力される同期信号の信号極性によって、アップカウントとダウンカウントが切替わるアップダウンカウンタを備え、更にアップダウンカウンタのEnable端子をアップダウンカウンタのオーバーフロー検出信号及びアンダーフロー検出信号で制御する回路を備え、アップダウンカウンタのMSB出力によってEORを用いて同期信号を反転させる構成にしたことにより、外部より同期信号の信号

極性を指示する制御端子を削除し、内部で同期信号の信号極性を判別することができる。

#### 発明の効果

本発明は、入力される同期信号の信号極性により、アップカウントとダウンカウントが切替わるアップダウンカウンタと、アップダウンカウンタの Enable 端子をアップダウンカウンタのオーバーフロー検出及びアンダーフロー検出で制御する回路と、アップダウンカウンタの MSB で同期信号を反転する EOR を設けることにより、外部から同期信号の信号極性を指示する制御端子を削除することができ、更に、制御端子を削除したことにより制御端子をコントロールするマイクロコンピュータの負担が減るという効果を得ることのできる優れた同期信号反転回路を実現できるものである。

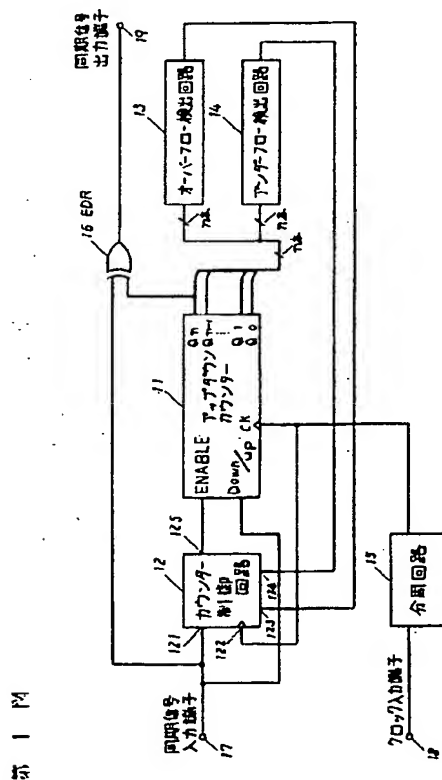
#### 4、図面の簡単な説明

第1図は本発明の一実施例における同期信号反転回路のブロック図、第2図は第1図のカウンタ制御回路の一実施例における回路図、第3図

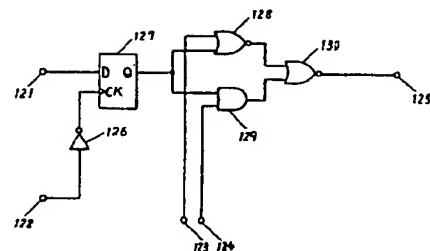
は従来の同期信号極性反転回路のブロック図である。

11…アップダウンカウンタ(nビット)、  
12…カウンタ制御回路、13…オーバーフロー検出回路、14…アンダーフロー検出回路、15…クロック分周回路、16…EOR(排他的論理和)、17…同期信号入力端子、18…クロック入力端子、19…同期信号出力端子。

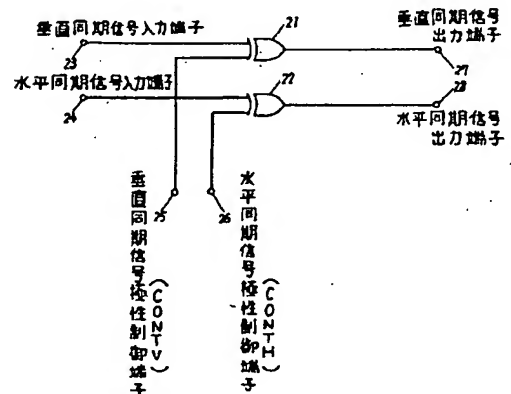
代理人の氏名 井理士 栗野重孝 ほか1名



第2図



第3図



**Dialog**

**Basic Patent (Number,Kind,Date):** JP 3196186 A2 910827

**PATENT FAMILY:**

**Japan (JP)**

Patent (Number,Kind,Date): JP 3196186 A2 910827

SYNCHRONIZING SIGNAL INVERSION CIRCUIT (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): YAGISHITA CHO

Priority (Number,Kind,Date): JP 89337123 A 891226

Applic (Number,Kind,Date): JP 89337123 A 891226

IPC: \* G09G-005/12; G09G-003/36; G09G-005/18; H04N-005/04

Derwent WPI Acc No: ; G 91-292853

JAPIO Reference No: ; 150462P000033

Language of Document: Japanese

INPADOC/Family and Legal Status

© 2007 European Patent Office. All rights reserved.

Dialog® File Number 345 Accession Number 10102920

**Dialog**

**Synchronisation signal inverter for display unit - has circuit for up- or down-counting input synchronising signal according to polarity** NoAbstract Dwg 1/3

**Patent Assignee:** MATSUSHITA ELEC IND CO LTD

**Inventors:** YAGISHITA C

**Patent Family (1 patent, 1 country)**

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 3196186	A	19910827	JP 1989337123	A	19891226	199140	B

**Priority Application Number (Number Kind Date):** JP 1989337123 A 19891226

**International Classification (Additional/Secondary):** G09G-003/36, G09G-005/12, H04N-005/04

**Original Publication Data by Authority**

**Japan**

Publication Number: JP 3196186 A (Update 199140 B)

Publication Date: 19910827

**\*\*SYNCHRONIZING SIGNAL INVERSION CIRCUIT\*\***

Assignee: MATSUSHITA ELECTRIC IND CO LTD (MATU)

Inventor: YAGISHITA CHO

Language: JA

Application: JP 1989337123 A 19891226 (Local application)

Original IPC: G09G-3/36 G09G-5/12 H04N-5/04

Current IPC: G09G-3/36 G09G-5/12 H04N-5/04

Derwent World Patents Index

© 2007 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 5681199